

# 3

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Re the Application of: **Yuichi INOMATA, ET AL.**

U.S. Serial No.: **09/758,108**

Filed : **January 10, 2001**

Title : **INTERFACE DEVICE AND INFORMATION PROCESSING  
SYSTEM...**

Assistant Commissioner for Patents  
Washington, D.C. 20231

May 8, 2001

SUBMISSION OF PRIORITY DOCUMENT

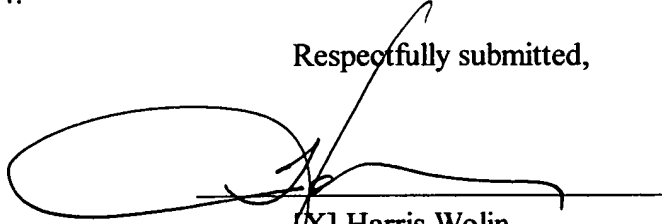
S I R:

Attached herewith is JAPANESE patent application no. 2000-004878 filed  
January 13, 2000 whose priority has been claimed in the present application.

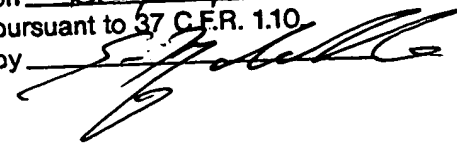
Any fee, due as a result of this paper, not covered by an enclosed check, may be  
charged to Deposit Acct. No. 08-1634.

**Any fee due with this paper, not fully  
served by an enclosed check, may be  
charged on deposit Acct. No. 08-1634**

Respectfully submitted,

  
[X] Harris Wolin  
Reg. No. 39,432

HELFGOTT & KARAS, P.C.  
60TH FLOOR  
EMPIRE STATE BUILDING  
NEW YORK, NEW YORK 10118  
DATE: MAY 8, 2001  
DOCKET NO.: SCET 18.215  
TELEPHONE: (212) 643-5000

Filed by Express Mail  
(Receipt No. EL512380186U)  
on May 8, 2001  
pursuant to 37 C.F.R. 1.10  
by 



日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 1月13日

出 願 番 号

Application Number:

特願2000-004878

出 願 人

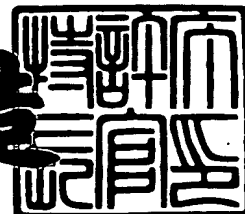
Applicant (s):

株式会社ソニー・コンピュータエンタテインメント

2000年12月22日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3107421

【書類名】 特許願

【整理番号】 SCEI99102

【提出日】 平成12年 1月13日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/12

【発明の名称】 インターフェイス装置及びそれを備えた情報処理装置

【請求項の数】 4

【発明者】

    【住所又は居所】 東京都港区赤坂7丁目1番1号 株式会社ソニー・コンピュータエンタテインメント内

    【氏名】 猪俣 雄一

【発明者】

    【住所又は居所】 東京都港区赤坂7丁目1番1号 株式会社ソニー・コンピュータエンタテインメント内

    【氏名】 山本 靖之

【特許出願人】

    【識別番号】 395015319

    【氏名又は名称】 株式会社 ソニー・コンピュータエンタテインメント

【代理人】

    【識別番号】 100084032

    【弁理士】

    【氏名又は名称】 三品 岩男

    【電話番号】 045(316)3711

【選任した代理人】

    【識別番号】 100087170

    【弁理士】

    【氏名又は名称】 富田 和子

    【電話番号】 045(316)3711

【手数料の表示】

【予納台帳番号】 011992

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9912211

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 インターフェイス装置及びそれを備えた情報処理装置

【特許請求の範囲】

【請求項 1】 CPUと外部装置とのインターフェイスをとるインターフェイス装置であって、

タイマー部と、マスク部と、インタラプト生成部とを備え、

前記タイマー部は、前記外部装置が出力するウェイト信号が予め定めた時間以上アサートされ続けたことを検出すると、マスク信号をアサートし、

前記マスク部は、前記マスク信号がアサートされると、前記ウェイト信号をマスクして、前記CPUに出力し、

前記インタラプト部は、前記マスク信号がアサートされると、前記CPUに対して、インタラプトを発行することを特徴とするインターフェイス装置。

【請求項 2】 CPUと、当該CPUと外部装置とのインターフェイスをとるインターフェイス装置とを備えた情報処理装置であって、

前記インターフェイス装置は、

前記外部装置が出力するウェイト信号が予め定めた時間以上アサートされ続けたことを検出すると、ネゲートしたウェイト信号を前記CPUに出力し、

それと同時に、前記CPUに対して、インタラプトを発行することを特徴とする情報処理装置。

【請求項 3】 前記インターフェイス装置は、

タイマー部と、マスク部と、インタラプト生成部とを備え、

前記タイマー部は、前記外部装置が出力するウェイト信号がアサートされると、起動され、前記ウェイト信号が予め定めた時間以上アサートされ続けた場合は、マスク信号をアサートし、

前記マスク部は、前記マスク信号がアサートされると、前記ウェイト信号をマスクして、前記CPUに出力し、

前記インタラプト部は、前記マスク信号がアサートされると、前記CPUに対して、インタラプトを発行することを特徴とする請求項2に記載の情報処理装置。

【請求項4】 前記CPUは、前記インタラプトを検知すると、前記外部装置の復旧処理を行うことを特徴とする請求項2または請求項3に記載の情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、PCカード等の外部装置とCPUとのインターフェイスをとるインターフェイス装置に関する。

【0002】

【従来の技術】

従来から、PCMCIAカード（以下、PCカードという）が知られている。PCカードの例としては、メモ리카ードや各種I/Oカード（モデムカードやSCSIカード等）がある。

【0003】

このようなPCカードが出力する信号に、ウェイト（WAIT）信号がある。PCカードは、CPU等によってアクセスされた際に、アクセスサイクルの終了を遅らせて、バスサイクルを延ばしたいときに、ウェイト信号をアサートする。

【0004】

【発明が解決しようとする課題】

しかしながら、通常、PCカードがウェイト信号をアサートすると、その間、PCカードがシステムのバスを占有することになる。従って、PCカードが故障その他の理由で、ウェイト信号をアサートし続けた場合、システムのバスが占有され続け、システムは、フリーズすることになる。

【0005】

本発明の目的は、ウェイト信号がアサートされ続けた場合であって、バスが占有され、システムがフリーズするのを防止できるようにすることにある。

## 【 0 0 0 6 】

## 【課題を解決するための手段】

本発明に係るインターフェイス装置は、CPUと外部装置とのインターフェイスをとるインターフェイス装置である。外部装置には、例えば、PCカードが該当する。

## 【 0 0 0 7 】

そして、本インターフェイス装置は、タイマー部と、マスク部と、インタラプト生成部とを備え、前記タイマー部は、前記外部装置が出力するウェイト信号が予め定めた時間以上アサートされ続けたことを検出すると、マスク信号をアサートし、前記マスク部は、前記マスク信号がアサートされると、前記ウェイト信号をマスクして、前記CPUに出力し、前記インタラプト部は、前記マスク信号がアサートされると、前記CPUに対して、インタラプトを発行することを特徴とする。

## 【 0 0 0 8 】

また、本発明に係る情報処理装置は、CPUと、当該CPUと外部装置とのインターフェイスをとるインターフェイス装置とを備えた情報処理装置である。そして、前記インターフェイス装置は、前記外部装置が出力するウェイト信号が予め定めた時間以上アサートされ続けたことを検出すると、ネゲートしたウェイト信号を前記CPUに出力し、それと同時に、前記CPUに対して、インタラプトを発行することを特徴とする。

## 【 0 0 0 9 】

この場合において、前記インターフェイス装置は、タイマー部と、マスク部と、インタラプト生成部とを備え、前記タイマー部は、前記外部装置が出力するウェイト信号がアサートされると、起動され、前記ウェイト信号が予め定めた時間以上アサートされ続けた場合は、マスク信号をアサートし、前記マスク部は、前記マスク信号がアサートされると、前記ウェイト信号をマスクして、前記CPUに出力し、前記インタラプト部は、前記マスク信号がアサートされると、前記CPUに対して、インタラプトを発行するようにしてもよい。

## 【 0 0 1 0 】

また、前記CPUは、前記インタラプトを検知すると、前記外部装置の復旧処理を行うようにしてもよい。

【0011】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照にしつつ、詳細に説明する。

【0012】

図1は、本発明が適用される情報処理装置の構成を示す図である。本情報処理装置は、例えば、テレビゲーム等を実行できるエンタテインメント装置として機能する。

【0013】

同図に示すように、本情報処理装置は、CPU100と、メモリ110と、PCカードインターフェイス部120とを備える。CPU100と、メモリ110と、PCカードインターフェイス部120は、それぞれ、バス140に接続されている。また、PCカードインターフェイス部120には、PCカード130が接続される。

【0014】

CPU100は、メモリ110に格納されたプログラムを実行することにより、情報処理装置全体の制御を行うものであり、必要に応じて、PCカードインターフェイス部120を介して、PCカード130に対するアクセスを行う。

【0015】

PCカードインターフェイス部120は、CPU100がPCカード130に対して、読み書き等のアクセスを行うために、インターフェイスをとる回路である。PCカードインターフェイス部120は、例えば、LSIとして実現される。

【0016】

次に、PCカードインターフェイス部120の詳細について説明する。

【0017】

図2は、PCカードインターフェイス部120の内部構成を示す図である。

【0018】



同図に示すように、PCカードインターフェイス部120は、ウェイト信号制御ブロック200と、割り込み制御ブロック／カードステータスレジスタ210と、アクセスモードコントロールブロック220とを備える。

#### 【0019】

割り込み制御ブロック／カードステータスレジスタ210は、CPU100に対する割り込みを制御するとともに、PCカード130の状態を示すものである。割り込み制御ブロック／カードステータスレジスタ210には、PCカード130が出力するPCカード状態信号が入力される。PCカード状態信号は、PCカード130の状態を示す信号であり、例えば、インタラプトリクエスト信号（INTR#）、カード検出用信号（CD1#、CD2#）等がある。なお、本明細書において、信号名の最後に付けられた“#”は、その信号がアクティブ・ローの信号であることを表す。

#### 【0020】

アクセスモードコントロールブロック220は、CPU100からPCカード130に対するアクセスを制御するもので、PCカード130に対するアクセスを制御するためのPCカードコントロール信号を出力する。PCカードコントロール信号には、例えば、カードイネーブル信号（CE1#、CE2#）、ライトイネーブル信号（WE#）、アウトプットイネーブル信号（OE#）、I/Oリード信号（IORD#）、I/Oライト信号（IOWR#）、リセット信号（RESET）等がある。

#### 【0021】

ウェイト信号制御ブロック200は、PCカード130が出力したウェイト信号を必要に応じてマスクして、CPU100に出力するもので、タイマー部201と、マスク部202とを備える。

#### 【0022】

タイマー部201には、PCカード130が出力するウェイト信号（WAIT#）が入力される。また、タイマー部210は、ウェイト・マスク信号をマスク部202に出力する。なお、ウェイト信号は、アクティブ・ローの信号であり、ウェイト・マスク信号は、アクティブ・ハイの信号である。

#### 【0023】

タイマー部201は、ウェイト信号がアサートされると、時間の計測を開始し、ある一定時間が経過しても、ウェイト信号がアサートされ続けていた場合は、ウェイト・マスク信号をアサートする。なお、ある一定時間が経過する前に、ウェイト信号がネゲートされた場合は、タイマー部201は、時間の計測を停止する。そして、改めて、ウェイト信号がアサートされると、最初から時間の計測を開始する。ウェイト・マスク信号がアサートされるタイミングを規定する前記一定時間は、システムの実装条件等に応じて、適切な値が選択される。なお、アサートされたウェイト・マスク信号は、例えば、CPU100が所定のレジスタをアクセスすることにより、ネゲートさせることができる。また、タイマー部201の動作も、CPU100が所定のレジスタをアクセスすることにより、イネーブル／ディセーブルすることができる。

#### 【0024】

マスク部202は、PCカード130が出力したウェイト信号(WAIT#)を、タイマー部201が出力するウェイト・マスク信号に応じて、マスクして、CPU100に出力する。ここでは、マスク部202は、2入力のOR回路によって構成され、OR回路の一方の入力に、PCカード130が出力したウェイト信号が入力され、他方の入力に、タイマー部201が出力したウェイト・マスク信号が入力される。つまり、ウェイト・マスク信号が、ハイレベル("1")になると、PCカード130が出力したウェイト信号に関わらず、CPU100に対しては、ハイレベルのウェイト信号(ネゲートされたウェイト信号)が出力されることになる。

#### 【0025】

タイマー部201が出力したウェイト・マスク信号は、割り込み制御ブロック／カードステータスレジスタ210にも入力される。割り込み制御ブロック／カードステータスレジスタ210は、ウェイト・マスク信号がアサートされると、CPU100に対するインタラプト信号(INT)をアサートする。

#### 【0026】

次に、以上のような構成を有するPCカードインターフェイス部120の動作について説明する。

## 【0027】

まず、CPU100が、PCカードインターフェイス部120を介して、PCカード130に対するアクセスを行うと、PCカード130は、必要に応じて、ウェイト信号をアサートする。

## 【0028】

ウェイト信号がアサートされると、タイマー部201が起動され、時間の計測が開始される。そして、ウェイト信号がアサートされ続けたまま、ある一定時間が経過すると、タイマー部201によって、ウェイト・マスク信号がアサートされる。なお、ある一定時間が経過する前に、ウェイト信号がネゲートされた場合は、タイマー部201は、時間の計測を停止し、改めて、ウェイト信号がアサートされると、最初から時間の計測を開始する。

## 【0029】

ウェイト信号がアサートされたまま、ある一定時間が経過して、タイマー部201がウェイト・マスク信号をアサートすると、PCカード130からのウェイト信号は、マスク部202においてマスクされ、PCカード130からのウェイト信号がアサートされていたとしても、CPU100に対するウェイト信号は、ネゲートされる。

## 【0030】

また、タイマー部201がウェイト・マスク信号をアサートすると、割り込み制御ブロック／カードステータスレジスタ210は、CPU100に対するインタラプト信号をアサートする。

## 【0031】

CPU100は、割り込み制御ブロック／カードステータスレジスタ210が発行したインタラプト信号を受け付けると、インタラプト処理を実行する。このインタラプト処理において、CPU100は、インタラプトの原因を判別し、当該インタラプトが、PCカード130からのウェイト信号が所定時間以上アサートされ続けたことによるものだと判別すると、必要な復旧処理（例えば、PCカード130をリセットした後にI/O処理を再実行する等）を行う。そして、このような復旧処理を行っても復旧できない場合は、エラー表示を行って、PCカ

ード 1 3 0 の不良をユーザに通知する等の処理を行う。

【 0 . 0 3 2 】

【発明の効果】

以上詳細に説明したように、本発明によれば、P C カードの故障等により、ウェイト信号がアサートされたままになった場合であっても、バスが占有され続け、システムがフリーズすることを防止することができる。

【図面の簡単な説明】

【図 1】 本発明が適用される情報処理装置の構成を示す図である。

【図 2】 P C カードインターフェイス部 1 2 0 の内部構成を示す図である。

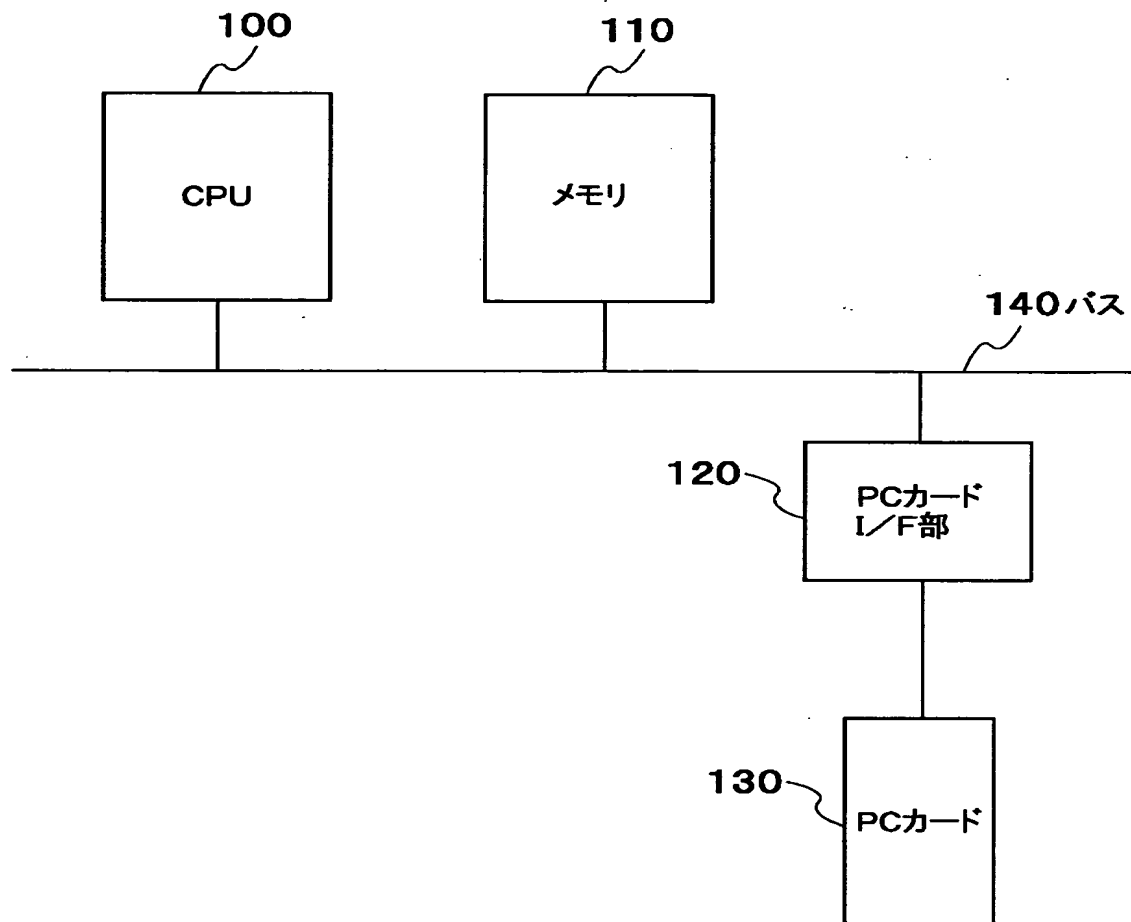
【符号の説明】

- 1 0 0    C P U
- 1 1 0    メモリ
- 1 2 0    P C カードインターフェイス部
- 1 3 0    P C カード
- 1 4 0    バス
- 2 0 0    ウェイト信号制御ブロック
- 2 0 1    タイマー部
- 2 0 2    マスク部
- 2 1 0    割り込み制御ブロック／カードステータスレジスタ
- 2 2 0    アクセスモードコントロールブロック

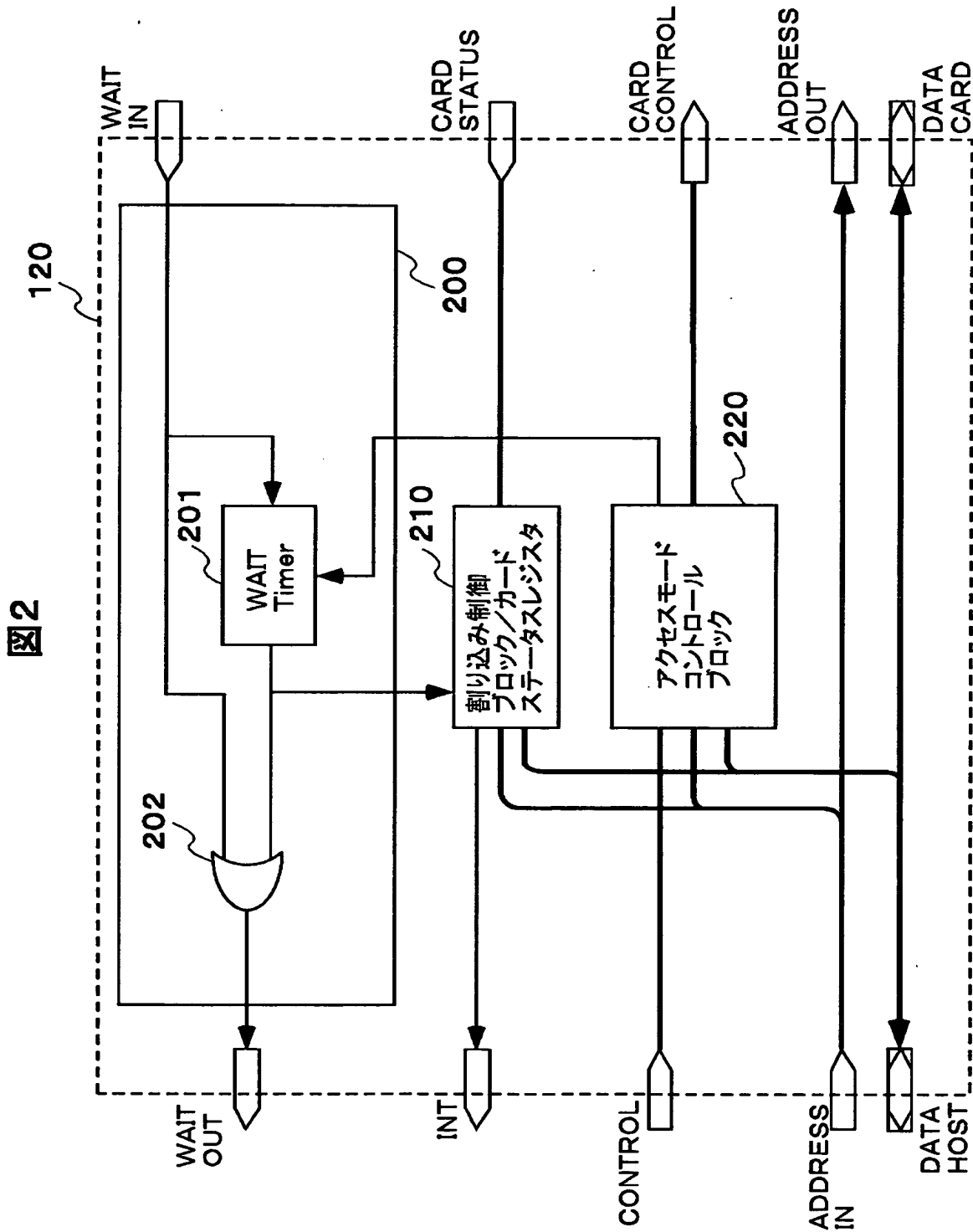
【書類名】 図面

【図1】

図1



【図2】



【書類名】 要約書

【要約】

【課題】 PCカードが出力するウェイト信号がアサートされ続けた場合であっても、システムのバスが占有され、システムがフリーズするのを防止する。

【解決手段】 PCカードが出力したウェイト信号がアサートされると、タイマー部201が起動され、タイマー部201は、ある一定時間以上ウェイト信号がアサートされ続けたことを検出すると、ウェイト・マスク信号をアサートする。ウェイト・マスク信号がアサートされると、マスク部202は、PCカードからのウェイト信号をマスクすることにより、PCカードからのウェイト信号がアサートされていたとしても、CPUに対するウェイト信号をネゲートする。また、タイマー部201がウェイト・マスク信号をアサートすると、割り込み制御ブロック／カードステータスレジスタ210は、CPUに対するインタラプト信号をアサートする。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [395015319]

|          |                         |
|----------|-------------------------|
| 1. 変更年月日 | 1997年 3月31日             |
| [変更理由]   | 住所変更                    |
| 住 所      | 東京都港区赤坂7-1-1            |
| 氏 名      | 株式会社ソニー・コンピュータエンタテインメント |